

DIALOG(R)File 352:Derwent WPI

(c) 2004 Thomson Derwent. All rts. reserv.

008383781 \*\*Image available\*\*

WPI Acc No: 1990-270782/199036

XRPX Acc No: N90-209376

Liquid crystal display driver - regulates operation of sampled and held data output unit, and adjusts image signal voltage NoAbstract Dwg 1/23

Patent Assignee: TOSHIBA KK (TOKE )

Number of Countries: 001 Number of Patents: 002

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2189579	A	19900725	JP 898643	A	19890119	199036 B
JP 3026439	B2	20000327	JP 898643	A	19890119	200020

Priority Applications (No Type Date): JP 898643 A 19890119

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 2189579	A		5		
JP 3026439	B2	19	G09G-003/36	Previous Publ. patent JP 2189579	

Title Terms: LIQUID; CRYSTAL; DISPLAY; DRIVE; REGULATE; OPERATE; SAMPLE; HELD; DATA; OUTPUT; UNIT; ADJUST; IMAGE; SIGNAL; VOLTAGE; NOABSTRACT

Derwent Class: P81; P85; T04; U14; W03

International Patent Class (Main): G09G-003/36

International Patent Class (Additional): G02F-001/133; G09G-003/20;

H04N-005/66

File Segment: EPI; EngPI

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

03214079      \*\*Image available\*\*

LIQUID CRYSTAL DISPLAY DRIVING DEVICE

PUB. NO.:      02-189579 [JP 2189579 A]

PUBLISHED:      July 25, 1990 (19900725)

INVENTOR(s):   SHINYA MASAKO

SUGAWARA TSUTOMU

APPLICANT(s): TOSHIBA CORP [000307] (A Japanese Company or Corporation), JP  
(Japan)

APPL. NO.:      01-008643 [JP 898643]

FILED:          January 19, 1989 (19890119)

INTL CLASS:     [5] G09G-003/36; H04N-005/66

JAPIO CLASS:   44.9 (COMMUNICATION -- Other); 44.6 (COMMUNICATION --  
Television)

JAPIO KEYWORD: R011 (LIQUID CRYSTALS)

JOURNAL:        Section: P, Section No. 1116, Vol. 14, No. 472, Pg. 163,  
October 15, 1990 (19901015)

#### ABSTRACT

**PURPOSE:** To prevent output characteristics from being one-sided to specific picture elements by changing the sample holding order of an input image signal.

**CONSTITUTION:** A shuffle bus (wiring replacing circuit) 21 rearranges switch pulses inputted from a shift register 11 in order for each input image signal of one horizontal line according to the controller signal supplied from a controller 25. Namely, the switch pulse are supplied to a switch circuit 13 at random through the shuffle bus 21. Therefore, the switch circuit 13 is turned off not from left to right in order, but at random. Consequently, the output characteristics are prevented from being one-sided and a display image is made easy to see without increasing the size of a capacitor for holding nor decreasing the operation speed.

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平2-189579

⑬ Int. Cl.<sup>3</sup>

G 09 G 3/36  
H 04 N 5/66

識別記号

1 0 2 Z

庁内整理番号

8621-5C  
7605-5C

⑭ 公開 平成2年(1990)7月25日

審査請求 未請求 請求項の数 2 (全15頁)

⑮ 発明の名称 液晶ディスプレイ駆動装置

⑯ 特 願 平1-8643

⑰ 出 願 平1(1989)1月19日

⑱ 発 明 者 新 屋 匡 子 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究  
所内

⑲ 発 明 者 菅 原 勉 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究  
所内

⑳ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

㉑ 代 理 人 弁 理 士 三 好 秀 和 外1名

明 細 書

1. 発明の名称

液晶ディスプレイ駆動装置

2. 特許請求の範囲

(1) 各々の画素に対応してサンプルホールドされた入力画像信号を画素信号電圧として各々対応する画素に印加することにより液晶を表示駆動する少なくとも1つ以上のX駆動回路を備えた液晶ディスプレイ駆動装置において、

1 水平ライン分の入力画像信号を各画素毎にサンプルホールドする複数の保持手段と、

前記複数の保持手段のサンプルホールド順序を1 水平ライン毎にランダムに変更し、サンプルホールドされた入力画像信号が対応する画素に印加されるように、サンプルホールドされた入力画像信号を画素信号電圧として出力する変更出力手段と、

前記変更出力手段における入力画像信号のサンプルホールド順序をランダムに変更する動作及び

出力動作を制御する制御手段と

を有することを持つとする液晶ディスプレイ駆動装置。

(2) 各々の画素に対応してサンプルホールドされた入力画像信号を画素信号電圧として各々対応する画素に印加することにより液晶を表示駆動する少なくとも1つ以上のX駆動回路を備えた液晶ディスプレイ駆動装置において、

1 水平ライン分の入力画像信号を各画素毎にサンプルホールドする複数の保持手段と、

前記複数の保持手段にサンプルホールドされる入力画像信号に比べて微少な電圧の調整信号を1 水平ライン毎にランダムにそれぞれの保持手段に対応して発生する調整信号発生手段と、

前記調整信号発生手段から発生される調整信号により対応する保持手段にサンプルホールドされた入力画像信号を変化させてそれぞれの保持手段のオフセット電圧を調整する調整手段と

を有することを持つとする液晶ディスプレイ駆動装置。

## 3. 発明の詳細な説明

## 〔発明の目的〕

## (産業上の利用分野)

この発明は、少なくとも1つ以上のX駆動回路によりサンプルホールドされる入力画像信号を対応する画素に印加して液晶画面を表示駆動する液晶ディスプレイ駆動装置に関し、特にサンプルホールドされた入力画像信号におけるオフセット電圧のバラツキを平均化するようにしたX駆動回路を備えた液晶ディスプレイ駆動装置に関する。

## (従来の技術)

液晶型ディスプレイ、例えばアクティブマトリックス型ディスプレイの駆動例としては、第22図に示すように構成されたものがある。

第22図において、アクティブマトリックス型ディスプレイでは、ディスプレイパネル1のそれぞれの液晶(図示せず)に対応したコンデンサ3に、スイッチ5の開閉制御によって画素信号電圧を供給して保持し、保持された画素信号電圧を対応した液晶に印加することで、ディスプレイパネ

ル1に画像を表示するようにしている。それぞれの画素信号電圧はX駆動回路7から供給され、スイッチ5はその開閉制御がY駆動回路9によって行なわれている。

このようなディスプレイにあっては、画面サイズ的大型化にともなって、TV信号等の入力画像信号からライン方向のそれぞれの液晶に対応した画素信号を生成して同時に出力するX駆動回路7が重要なものとなる。このようなX駆動回路7としては、例えば第23図に示すように構成されたものがある。

第23図において、X駆動回路7は、入力画像信号をサンプリングするための信号となるスイッチパルスが発生するシフトレジスタ(スイッチパルス発生回路)11と、入力画像信号をサンプルしてホールドするスイッチ回路13及びコンデンサ15と、サンプルホールドした信号を画素信号としてディスプレイパネル1に出力する出力回路17とから構成されている。

入力画像信号は、第24図(A)に示すように、

所定数の水平ラインからなる単位画面に対応した画像情報が、垂直同期期間( $\alpha$ )の間隔で連続して与えられる。また、第24図(A)に示したそれぞれの画像情報は、第24図(B)に示すように、1水平ライン分の画像情報が水平同期期間( $\beta$ )の間隔で連続して構成されている。

このような入力画像信号は、水平シフトクロックに同期してシフトレジスタ11に入力されて出力されるスイッチパルスにしたがってサンプリングされてホールドされる。すなわち、入力画像信号は、スイッチパルスによって導通制御されるスイッチ回路13を介してコンデンサ15に与えられて保持される。保持された入力画像信号は、出力回路17を介してディスプレイパネル1の対応する画素に与えられる。

## (発明が解決しようとする課題)

上記したX駆動回路にあっては、多数の出力を備えているため、製造上、構成上のバラツキが生じる。例えば、スイッチ回路13をFETで構成した場合には、それぞれのFETの特性にバラ

ツキが生じることになる。これにより、FETのゲート電極とソース電極あるいはドレイン電極との間に形成される寄生容量がそれぞれ異なる。したがって、入力画像信号及びスイッチパルスは、FETの寄生容量とホールド用のコンデンサ15に分割されることになり、画素信号電圧にそれぞれ異なるオフセット電圧が生じる。

このようなオフセット電圧は、それぞれのスイッチ回路13、ホールド用のコンデンサ15、出力回路17のそれぞれの組合せに対して常に一定なものとなる。すなわち、それぞれの画素には上記の組合せによる固有のオフセット電圧を有する画素信号電圧が与えられることになる。このため、上記の回路の組合せの個々の特性が一定の画素に偏ることになる。これにより、画面に段状、筋状の縞が発生したり、表示画像が見ずらくなるといった不具合を招いていた。

一方、画素信号電圧に生じるオフセット電圧を小さくするためには、スイッチ回路13を構成するFETの寄生容量に対してコンデンサ15の容

度を大きくする必要がある。しかしながら、コンデンサ15の容量を大きくすると、占有面積が増大するとともに、動作速度が制限されるといった問題を招くことになる。

そこで、この発明は、上記に鑑みてなされたものであり、その目的とするところは、ホールド用コンデンサの大型化及び動作速度の低下を招くことなく、出力特性の偏りを防止して、表示画像を見易くした液晶ディスプレイ駆動装置を提供することにある。

#### 〔発明の構成〕

（課題を解決するための手段）

上記目的を達成するために、各々の画素に対応してサンプルホールドされた入力画像信号を画素信号電圧として各々対応する画素に印加することにより液晶を表示駆動する少なくとも1つ以上のX駆動回路を備えた液晶ディスプレイ駆動装置において、第1の発明は、1水平ライン分の入力画像信号を各画素毎にサンプルホールドする複数の保持手段と、前記複数の保持手段のサンプルホ

にサンプルホールドされた入力画像信号を変化させてそれぞれの保持手段のオフセット電圧を調整する調整手段とから構成される。

#### （作用）

上記第1の構成において、第1の発明は、入力画像信号をサンプルホールドする保持手段のサンプルホールド順序を1水平ライン毎にランダムに変更し、それぞれの保持手段にサンプルホールドされたそれぞれの入力画像信号がそれぞれ対応した画素に印加されるように出力する。一方、上記第2の構成において、第2の発明は、サンプルホールドされた入力画像信号に比べて微少な電圧の調整信号によりサンプルホールドされた入力画像信号のオフセット電圧のバラツキを1水平ライン毎に平均化するようにしている。

#### （実施例）

以下、図面を用いてこの発明の実施例を説明する。

第1図は第1の発明の第1の実施例に係る液晶ディスプレイ駆動装置におけるX駆動回路の構成

を1水平ライン毎にランダムに変更し、サンプルホールドされた入力画像信号が対応する画素に印加されるように、サンプルホールドされた入力画像信号を画素信号電圧として出力する変更出力手段と、前記変更出力手段における入力画像信号のサンプルホールドする順序をランダムに変更する動作及び出力動作を制御する制御手段とから構成される。

一方、各々の画素に対応してサンプルホールドされた入力画像信号を画素信号電圧として各々対応する画素に印加することにより液晶を表示駆動する少なくとも1つ以上のX駆動回路を備えた液晶ディスプレイ駆動装置において、第2の発明は、1水平ライン分の入力画像信号を各画素毎にサンプルホールドする複数の保持手段と、前記複数の保持手段にサンプルホールドされる入力画像信号に比べて微少な電圧の調整信号を1水平ライン毎にランダムにそれぞれの保持手段に対応して発生する調整信号発生手段と、前記調整信号発生手段から発生される調整信号により対応する保持手段

を示す図である。同図に示す実施例は、入力画像信号をサンプルホールドして出力するスイッチ回路13、コンデンサ15及び出力回路17の動作順序を1水平ライン毎にランダムに変更するようにしたものである。なお、第1図及び以下に示す第2図乃至第21図において、第22図乃至第23図と同符号のものは同一物であり、その説明は省略する。

第1図において、X駆動回路は、スイッチ回路13とホールド用のコンデンサ15からなるサンプルホールド(S/H)回路と出力回路17とに加えて、シャッフルバス（配線入替回路）21及びデシャッフルバス（配線復元回路）23と、これらの動作を制御するコントローラ25とを備えている。

シャッフルバス21は、シフトレジスタ11から順次出力されるスイッチパルスを、コントローラ25から与えられるコントローラ信号にしたがって、1水平ライン分の入力画像信号毎に、ランダムに入替える回路である。すなわち、第23図

に示す構成にあっては、シフトレジスタ11を第1図の左方向から右方向へ順次移動するスイッチパルスが、第1図に示す左側のスイッチ回路13から順次与えられていたのに対して、スイッチパルスは、シャッフルバス21を介することによりランダムにスイッチ回路13に与えられる。これにより、スイッチ回路13は、そのオン→オフ動作が左側から順次行なわれるのではなく、ランダムに行なわれることになる。

したがって、入力画像信号は、第1図に示す左側のホールド用のコンデンサから順次ホールドされるのではなく、ランダムに入替えられてホールドされることになる。

このようなシャッフルバス21の具体的な構成例を第2図に示す。第2図に示すシャッフルバス21は、説明を簡単にするために、スイッチパルスを6個の場合の構成を示している。

第2図に示すシャッフルバス21は、与えられるスイッチパルスの半分の数のマルチプレクサ27を複数段(第2図では3段)に配置し、第2図

ら出力される入力画像信号を受けて、ランダムにサンプルホールドされた入力画像信号を本来供給されるべき画素に画素信号電圧として与えるものである。したがって、デシャッフルバス23は、第2図に示したシャッフルバス21の出力側にそれぞれ対応する出力回路17から出力される入力画像信号を与え、シャッフルバス21に与えられたと同様なコントロール信号により、入替えられてホールドされた入力画像信号を復元する。すなわち、入力画像信号は、シャッフルバス21が無く、1水平ライン分の入力画像信号が第1図に示す左側のホールド用のコンデンサ15から順次ホールドされて、対応する出力回路17を介してそのまま出力された場合と同様なものとなる。

コントローラ25は、シャッフルバス21及びデシャッフルバス23のそれぞれ対応するマルチプレクサ27に対して同じコントロール信号を供給する。コントローラ25は、コントロール信号を垂直同期信号に同期させて出力する。すなわち、コントロール信号は、1水平ライン分の入力画像

に示すようにそれらの間を配線したものである。それぞれのマルチプレクサ27は、コントロール信号にしたがって2入力をそのまま出力するか、あるいは入替えて出力する。初段のマルチプレクサ27は、それぞれの入力にシフトレジスタ11から出力される隣り合うスイッチパルスが与えられる。

マルチプレクサ27は、例えば第3図に示すように構成されている。第3図において、マルチプレクサ27は、Nチャンネルのスイッチトランジスタ29a～29dとインバータ31とから構成されている。このような構成にあって、コントロール信号がハイレベルの場合は、スイッチトランジスタ29a、29bがオン状態となり、スイッチパルスの入替えは行なわれない。一方、コントロール信号がロウレベルの場合には、スイッチトランジスタ29c、29dがオン状態となり、スイッチパルスの入替えが行なわれる。

第1図に戻って、デシャッフルバス23は、サンプルホールドされてそれぞれの出力回路17か

信号がサンプルホールドされる毎にコントローラ25から出力される。

このようなコントローラ25は、例えば第4図に示すようなM系列乱数発生器31により構成される。

M系列乱数発生器31は、1ビットのシフトレジスタ33を複数縦続接続し(第4図では7段の縦続接続)、初段の入力を最終段の出力と初段の出力を入力とするEXOR(排他的論理和)ゲート35の出力として、“0”あるいは“1”の乱数を発生する。シフトレジスタ33は垂直同期信号にしたがってシフトされる。したがって、M系列乱数発生器31は、その“0”レベルあるいは“1”レベルの乱数出力が、1水平ライン分の入力画像信号がサンプルホールドされる毎に出力される。

コントローラ25は、このようなM系列乱数発生器31を第5図に示すように複数用意して、マルチプレクサ27の数に応じコントロール信号を生成する。なお、乱数出力は最終段のシフトレジ

スタ33の出力でなくとも、中間のシフトレジスタ33の出力としてもよい。このような場合には、M系列乱数発生器31をコントロール信号の数に対応させて用意する必要はなく、回路規模は縮小される。

このような構成において、スイッチパルスが水平シフトクロックに同期してシフトレジスタ11により順次シフトされると、スイッチパルスはコントローラ25から乱数として出力されるコントロール信号にしたがってシャッフルバス21によりランダムに入替えられる。これにより、スイッチパルスはランダムにスイッチ回路13に与えられ、オン→オフ動作するスイッチ回路13はランダムとなる。したがって、入力画像信号は、第1図に示す左側のホールド用のコンデンサ15から順次ホールドされるのではなく、ランダムにホールド用のそれぞれのコンデンサ15にホールドされる。

ホールドされたそれぞれの入力画像信号は、対応する出力回路17を介してデシャッフルバス2

3に与えられる。デシャッフルバス23に与えられた入力画像信号は、スイッチパルスがシャッフルバス21により入替えられたのとは逆方向に入替えられる。これにより、デシャッフルバス23から出力される画素信号電圧は、入力画像信号が入替えられてホールドされる場合と同じ出力結果として対応する画素に与えられる。このような動作は、1水平ライン分の入力画像信号がホールドされる毎に、乱数出力のコントロール信号により毎回の入替えが異なるように行なわれる。

したがって、同列の画素に与えられる画素信号電圧は、1水平ライン毎にそれぞれ異なるS/H回路によりサンプルホールドされ、それぞれ異なる出力回路17を介して出力されるので、S/H回路及び出力回路17の個々の特性によるオフセット電圧が、特定の画素にだけ偏ることは防止される。すなわち、画素信号電圧のオフセット電圧による出力特性が分散されて平均化されることになる。この結果、画面に段状や筋状の縞が生じたりすることはなくなり、画面が見易くなる。

さらに、オフセット電圧を小さくするのではなく、一定のオフセット電圧を特定の画素列に集中させないようにしているので、ホールド用のコンデンサ17の容量を小さくすることが可能となり、動作速度を高速にすることもできる。また、コンデンサ17を小さくできるので、構成の小型化にも寄与することが可能となる。

第6図はこの第1の発明の第2の実施例に係る液晶ディスプレイ駆動装置におけるX駆動回路の構成を示す図である。同図に示す第2の実施例の特徴とするところは、第1図に示したシャッフルバス21がデシャッフルバス23の機能を兼ね備えたことにある。すなわち、スイッチパルスをスイッチ回路13に供給する時と、出力回路17を介して画素信号電圧を出力する時に、同一状態に保たれたシャッフルバス21への入出力を切換回路37、39により行なうようにしたことにある。

切換回路37は、シフトレジスタ11のビット数に対応して設けられており、シフトレジスタ11から与えられるスイッチパルスと、シャッフル

バス21から与えられる画素信号電圧を択一的に切換えて出力するものである。一方、切換回路39は、切換回路37に対応して設けられており、シャッフルバス21から与えられるスイッチパルスと、出力回路17から与えられる画素信号電圧を択一的に切換えて出力する。切換回路37、39は、その切換動作がコントローラ41により制御されている。

切換回路37、39は、例えば第7図、第8図に示すように構成されている。

切換回路37、39は、コントローラ41から与えられる制御信号により導通制御されるNチャネルのスイッチトランジスタ43で切換えが行なわれるように構成されている。一方の制御信号がハイレベルとなり、他方の制御信号がロウレベルになると、スイッチパルスを入力するスイッチトランジスタ43が導通状態となり、シフトレジスタ11から出力されたスイッチパルスがシャッフルバス21により入替えられたスイッチ回路13に与えられる。また、一方の制御信号がロウレ

ベルとなり、他方の制御信号がハイレベルになると、サンプルホールドされた入力画像信号を出力するスイッチトランジスタが導通状態となり、出力回路17から出力された画素信号電圧が対応するそれぞれの画素に供給される。

このような構成にあっても、第1の実施例と同様の効果を得ることができる。また、シャッフルバスを共用しているため、回路規模の大型化を招くことはない。

第9図は第2の発明の一実施例に係る液晶ディスプレイ駆動装置におけるX駆動回路の構成を示す図である。同図に示す実施例は、S/H回路及び出力回路17のオフセット電圧を、1水平ライン毎にランダムに調整しようとするものである。調整方法は、以下に説明するように、調整信号発生回路45から発生されるそれぞれのS/H回路及び出力回路17に対応した調整信号により行なわれる。

調整信号発生回路45は、以下に示すように、オフセット電圧を調整する方法に応じた微少な直

流電圧の調整信号を発生するものである。この微少な直流電圧は、調整される信号電圧に対して、 $1/100$ 以下程度の値の電圧である。

調整信号発生回路45は、具体的には例えば第4図に示した乱数発生回路で1水平ライン毎のタイミングでランダムに発生される“0”あるいは“1”にしたがって、乱数発生回路の出力が“0”であるならば負の微少な直流電圧を発生し、“1”であるならば正の微少な直流電圧を発生する。

あるいは、調整信号発生回路45は、第10図に示すように構成され、第11図に示すように、ノイズ信号発生回路47から発生される微少振幅の符号が変化する交流電圧を1水平ライン毎のタイミングで、スイッチ回路49及びホールド用のコンデンサ51によりサンプルホールドし、サンプルホールドした電圧を調整信号として出力する。なお、ノイズ信号発生回路47に代えて、垂直同期信号と同期しない周波数の交流電圧を発生する正弦波発生回路を用いてもよい。

このような調整信号発生回路45から出力され

る調整信号の値に応じて、それぞれのS/H回路及び出力回路17のオフセット電圧を1水平ライン毎の時間でランダムに大きくしたり小さくしたりすることで、画素信号電圧にディザを与える。これにより、特定の画素信号電圧に特定のオフセット電圧が生じることを防止して、回路固有の特性を分散させている。

次に、オフセット電圧を調整する具体的な方法を図面を用いて説明する。

#### <入力画像信号を調整する場合>

第12図は入力画像信号を調整する場合の実施例である。これは入力画像信号の入力線に調整電圧を加えて出力全体を調整するものである。すなわち、加算回路53により調整信号と入力画像信号とを加える。

この方法の特徴は、設計しやすく、各S/H回路ごとに加算回路31が1つで調整できるので回路構成が極めて簡単であり、また調整時間は短くて済み、確実に調整できることにある。

<ホールド用のコンデンサのグラウンドの電位を

#### 変化させる場合>

第13図はS/H回路のホールド用のコンデンサ15のグラウンドの電位を変化させる場合の実施例を示す図である。

入力画像信号をS/H回路でサンプルホールドした後、ホールド用のコンデンサ15のグラウンドの電位を変化させると、それぞれのS/H回路の出力電圧は全体的に変化する。この実施例はこれを利用してグラウンドの電位に調整信号を加えることにより出力全体を調整するものである。更に、グラウンドの電位を変化させるタイミングも生成する。このタイミングは入力画像信号をS/H回路でサンプルホールドした後、ホールド用のコンデンサ15のグラウンドの電位を変化させるようにするものである。

この方法では、第12図に示した実施例と同様の効果を得ることができる。

<ホールド用のコンデンサのディメンジョンを調整する場合>

第14図はS/H回路の構成例を示す図である。



S/H回路はスイッチトランジスタ55とホールド用のコンデンサ15で構成されている。S/H回路のオフセット電圧はコンデンサ15のディメンジョンに依存する。すなわち、ディメンジョンが大きくなるとオフセット電圧は小さくなり、ディメンジョンが小さくなるとオフセット電圧は大きくなる。この実施例は、このコンデンサ15のディメンジョンを調整することで、各S/H回路の出力のオフセット電圧を調整するものである。

第15図はホールド用のコンデンサ15のディメンジョンを調整する場合の実施例を示す図である。この実施例は、変換回路57によって導通制御されるスイッチトランジスタ59を直列接続し、直列接続点に微小コンデンサ60を接続して構成されたものである。変換回路57からの出力信号で微小コンデンサ60のうち、コンデンサ15に近い方から選択することにより、コンデンサ15のディメンジョンを微調整する。変換回路35では、調整信号に応じて使用すべき微小コンデンサ60の数に変換する。この時、変換回路57はコ

ンデンサ15に近い方の微小コンデンサ60から選択するようにスイッチトランジスタ59を導通制御する。

なお、微小コンデンサ60は選択用のスイッチトランジスタ59の寄生容量を利用してもよく、このような場合に、微小コンデンサ60を付ける必要はないので、回路規模、回路構成は簡単になる。

<スイッチトランジスタのディメンジョンを調整する場合>

第16図はスイッチトランジスタ55のディメンジョンを調整する場合の実施例を示す図である。

S/H回路のオフセット電圧はスイッチトランジスタ55のディメンジョンにより大きくなったり小さくなったりする(ディメンジョンが大きくなるとオフセット電圧は大きくなり、ディメンジョンが小さくなるとオフセット電圧は小さくなる)。

この実施例はメインのスイッチトランジスタ55の他に、選択用のスイッチトランジスタも兼ね

た微小トランジスタ61が並列接続されて構成されている。変換回路57からの出力信号で微小トランジスタ61を選択することにより、スイッチトランジスタ55のディメンジョンを微調整する。微小トランジスタ61を使用しなければ(トランジスタがオフ状態)、スイッチトランジスタ55のディメンジョンには影響しない。微小トランジスタ61を使用した場合には(トランジスタがオン状態)、スイッチトランジスタ55のディメンジョンが大きくなる。このように、スイッチトランジスタ55のディメンジョンを変化させて寄生容量等を変化させることにより、オフセット電圧を調整する。

変換回路57は、調整信号に応じてスイッチトランジスタ55のディメンジョンを調整する微小トランジスタ61の数に変換して、その数のスイッチパルスを出力する。

この実施例の特徴は、スイッチトランジスタ55のディメンジョンの調整を、微小トランジスタ61をスイッチトランジスタとして選択的に使用

するか否かで行えるので、簡単な回路構成で実現できる。

<スイッチパネルの立ち上がり、立ち下がり時間を微小に変化させて調整する場合>

第17図にスイッチパルス発生回路であるシフトレジスタ11の構成例を示す。シフトレジスタ11はクロックドインバータ63で構成されている。第18図にクロックドインバータ11の構成例と動作機能を示す。このようなクロックドインバータ11における出力トランジスタ65のディメンジョンを調整する(トランジスタの寄生容量やオン抵抗が変化する)ことで、スイッチパルスの立ち上がり、立ち下がり時間を微小に調整する。

S/H回路のオフセット電圧は、スイッチパルスの立ち上がり、立ち下がり時間により大きくなったり小さくなったりする。CMOSを用いたS/H回路のオフセット電圧は、スイッチがオフする順序により大きくなったり小さくなったりする(スイッチの切れる時間の差が大きくなると後から切れたトランジスタによりオフセット電圧は大

きくなり、同時に近づくともオフセット電圧は小さくなる)。また、単体トランジスタを使ったS/H回路のオフセット電圧は、スイッチパルスの立ち上がり、立ち下がり時間により大きくなったり小さくなったりする。ホールド用のコンデンサと、入力画像信号線側のコンデンサの大きさの比によって決まるが、この場合は、入力信号線側のコンデンサの容量の方が大きいので、変化時間が大きくなるとオフセット電圧は小さくなり、急激に変化するとオフセット電圧は大きくなる。

第19図は出力トランジスタのディメンジョンを調整する場合の実施例を示す図である。この実施例は、メインの出力トランジスタ65の他に、選択用のトランジスタも兼ねた微小トランジスタ67がそれぞれの出力トランジスタ65と並列接続されて構成されている。変換回路69からの出力信号で微小トランジスタ67を選択することによって、出力トランジスタ65のディメンジョンを微調整する。微小トランジスタ67を使用しなければ(トランジスタがオフ状態)、出力トラン

ジスタ65のディメンジョンには影響しない。微小トランジスタ67を使用した場合には(トランジスタに入力が入った状態)、出力トランジスタ65のディメンジョンが大きくなる。変換回路69は調整信号に応じて使用すべき微小トランジスタ67の数に変換して、その数の信号を出力する。

この方法の特徴は、出力トランジスタ65のディメンジョンの調整を、微小トランジスタ67を出力トランジスタとして使用するかどうかで行えるので、簡単な回路構成で実現できる。

<出力回路のオフセット電圧を調整する場合>

第20図に出力回路17の構成例を示す。この出力回路17は、利得1の差動増幅器で構成されており、入出力間には通常オフセット電圧は存在しないものとする。このような出力回路17の対称なトランジスタ対71、73のディメンジョンを調整することで、オフセット電圧を微小に調整する。

トランジスタ対71、73に流れる電流 $I_{ds}$ 、 $I_{ds}'$ が同じ場合、入力信号側のトランジスタ7

1のディメンジョンの方が大きいとオフセット電圧は大きくなり、出力信号側のトランジスタ73のディメンジョンの方が大きいとオフセット電圧は小さくなる。

また、入出力側のトランジスタ71、73のディメンジョンが等しい場合、入力信号側に流れる電流 $I_{ds}$ が大きいとオフセット電圧は大きくなり、出力信号側に流れる電流 $I_{ds}'$ が大きいとオフセット電圧は小さくなる。

第21図はトランジスタ73のディメンジョンを調整する場合の実施例を示した図である。この実施例はメインのトランジスタ73の他に、選択用のトランジスタ75が接続された微小トランジスタ77が並列接続されて構成されている。変換回路79からの出力信号で微小トランジスタ77を選択することによって、トランジスタ73のディメンジョンを微調整する。微小トランジスタ77を使用しなければ(選択用のトランジスタ75がオフ状態)、トランジスタ73のディメンジョンには影響しない。微小トランジスタ77を使用

する場合には(選択用のトランジスタ75がオン状態)、トランジスタ73のディメンジョンが大きくなる。変換回路59は調整信号に応じて使用すべき微小トランジスタ57の数の選択信号を出力する。

対称なトランジスタ71、73を流れる電流 $I_{ds}$ 、 $I_{ds}'$ を調整する場合は、電流源であるカレントミラートランジスタ81のディメンジョンを調整すればよく、調整は同様に行えば良い。

このような調整方法により、オフセット電圧を調整して分散させるようにしているので、特定のオフセット電圧が特定の画素に集中することはなくなるので、表示画像の斑は目立たなくなり、画面が見易くなる。また、オフセット電圧の調整を1水平ライン毎に行なうようにしているので、温度変化等の経時変化によるオフセット電圧の変動に対して有効となる。

なお、上記第1及び第2の発明における実施例にあっては、入力画像信号をアナログ値として説明したが、デジタル値であっても上記したと同様

にオフセット電圧の平均値のバラツキを小さくすることができる。このような場合には、入力画像信号をD/A変換する際に調整するようにすればよい。

#### 〔発明の効果〕

以上説明したように、この第1及び第2の発明によれば、入力画像信号のサンプルホールド順序を変更したり、調整信号により画素信号電圧のオフセット電圧を調整したりして、出力特性が特定の画素に偏ることを防止したので、入力画像信号をホールドする構成の大型化及び動作速度の低下を招くことなく、表示画像を見易くした液晶ディスプレイ駆動装置を提供することができる。

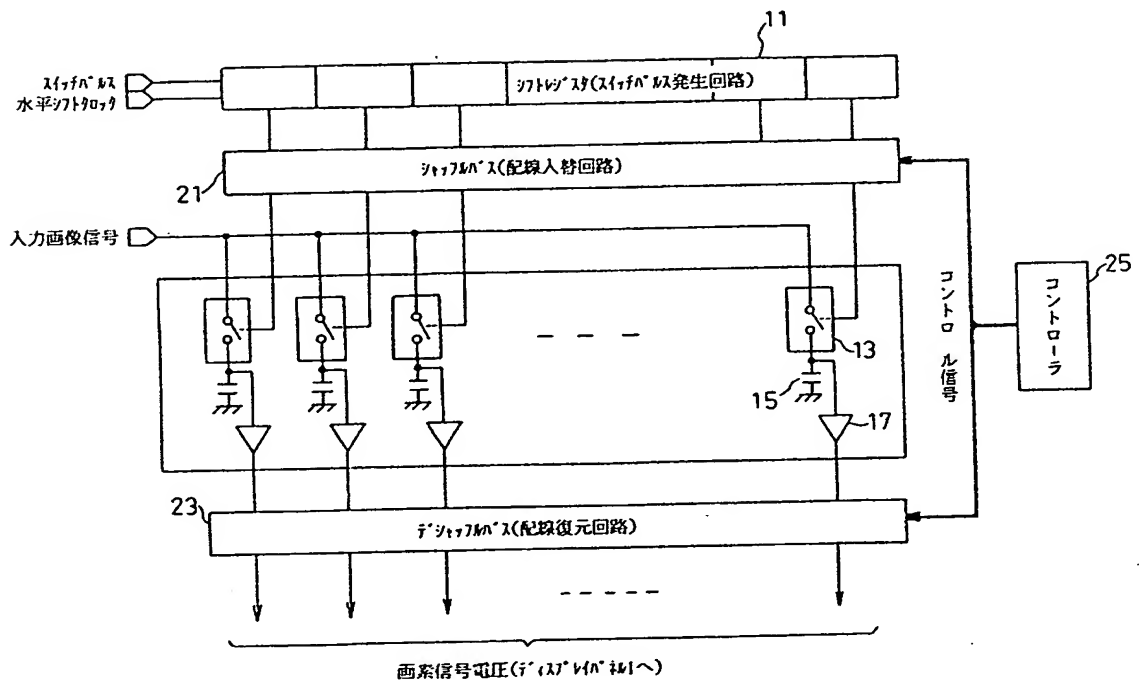
#### 4. 図面の簡単な説明

第1図は第1の発明の第1の実施例に係る液晶ディスプレイ駆動装置におけるX駆動回路の構成を示す図、第2図乃至第5図は第1図に示す回路の要部具体的構成を示す図、第6図は第1の発明の第2の実施例における構成を示す図、第7図乃至第8図は第6図に示す構成における要部具体

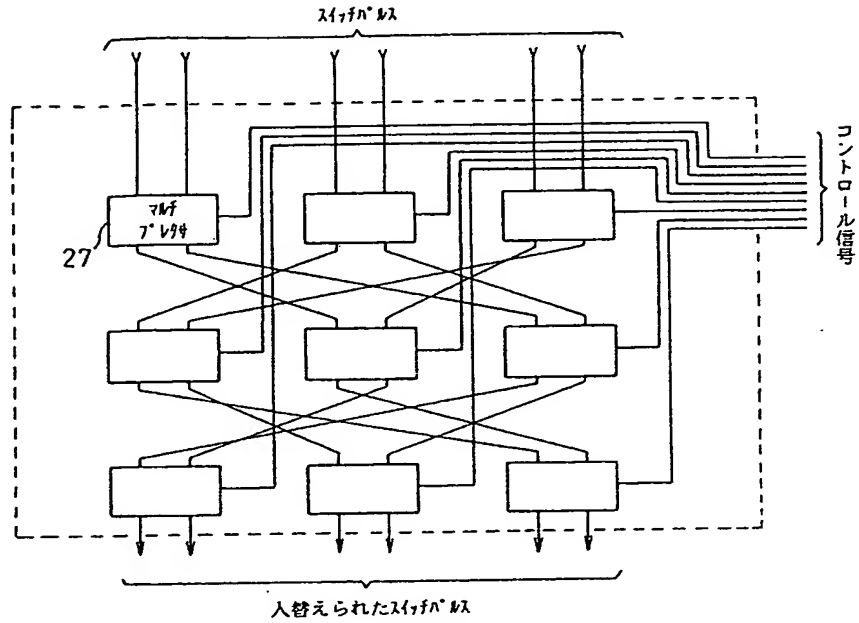
的構成を示す図、第9図は第2の発明の一実施例における構成を示す図、第10図乃至第21図は第9図に示す構成における要部具体的構成を示す図、第22図乃至第24図は液晶ディスプレイ駆動装置におけるX駆動回路の一従来例を示す図である。

- 11…シフトレジスタ
- 13…スイッチ回路
- 15…コンデンサ
- 17…出力回路
- 21…シャッフルバス
- 23…デシャッフルバス
- 25…コントローラ
- 45…調整信号発生回路

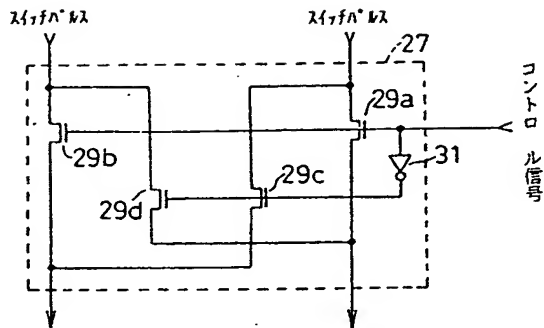
代理人弁理士 三好 秀 和



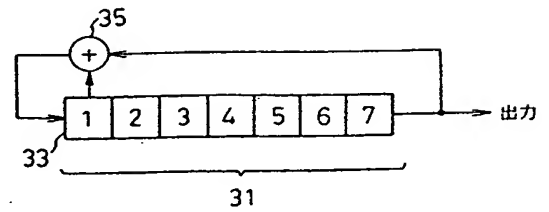
第1図



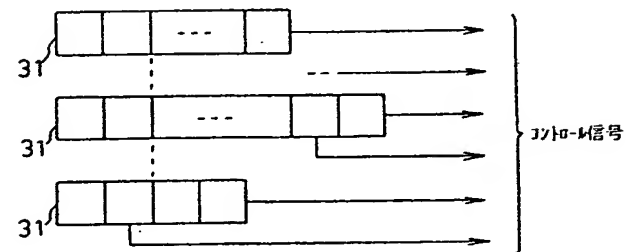
第 2 図



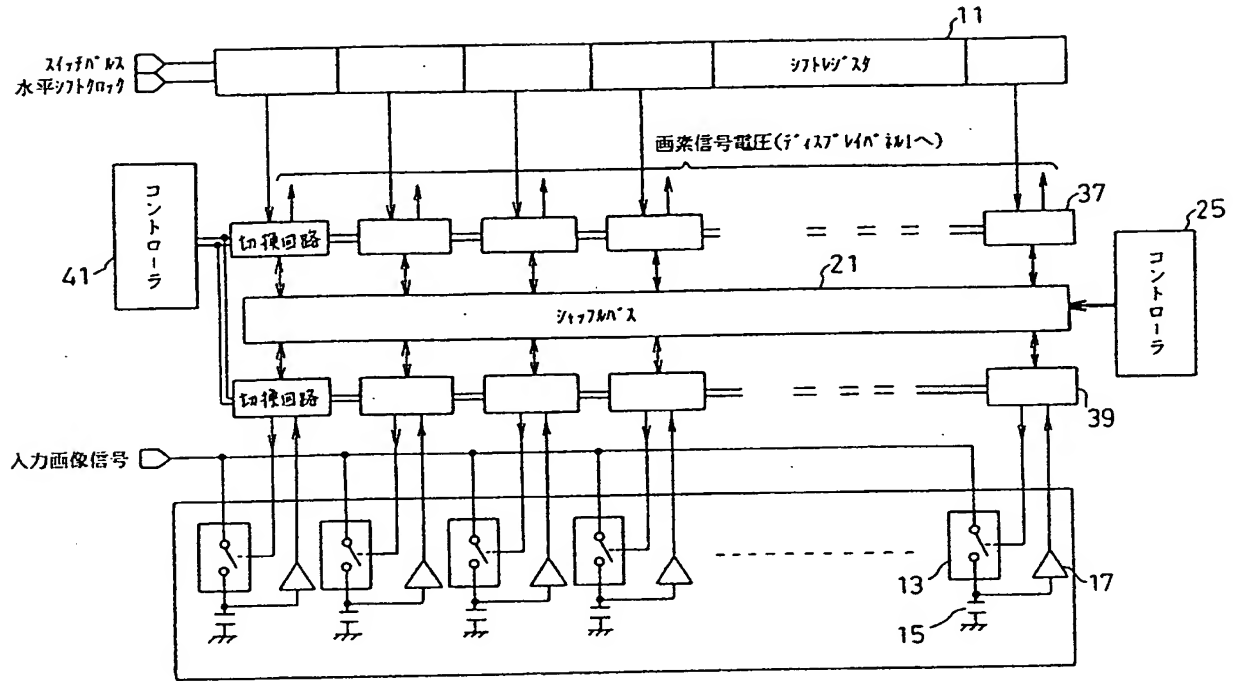
第 3 図



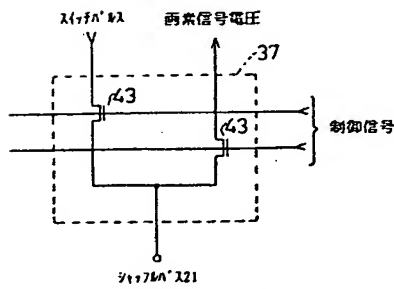
第 4 図



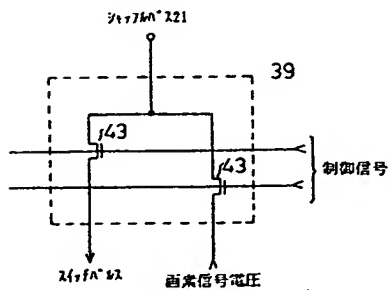
第 5 図



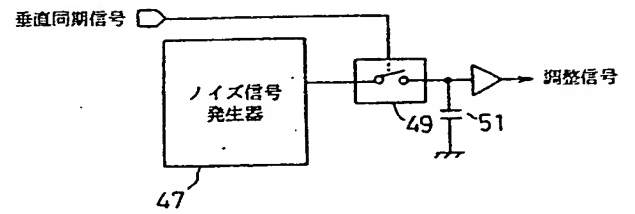
第 6 図



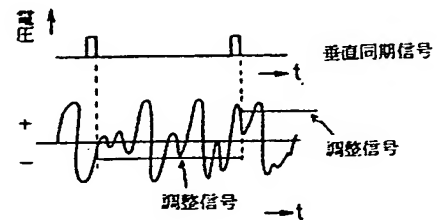
第 7 図



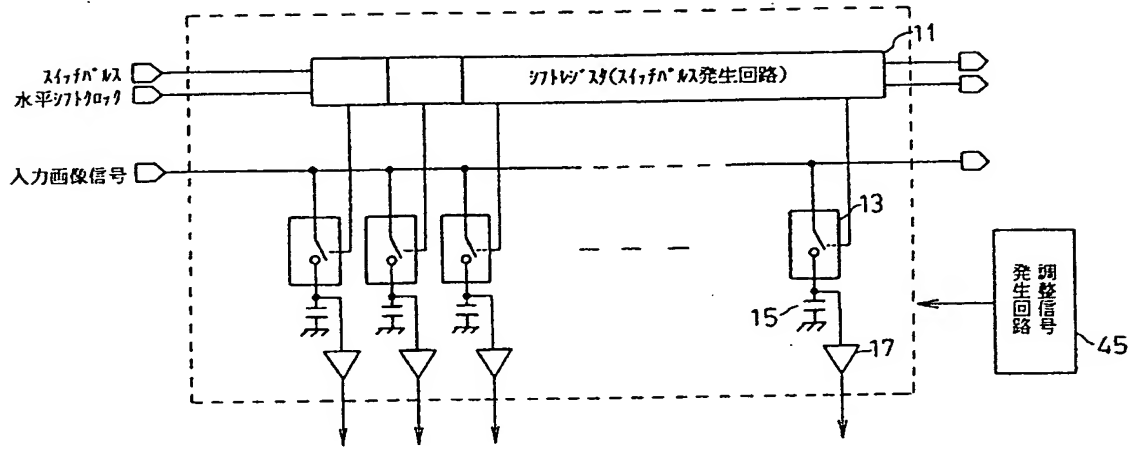
第 8 図



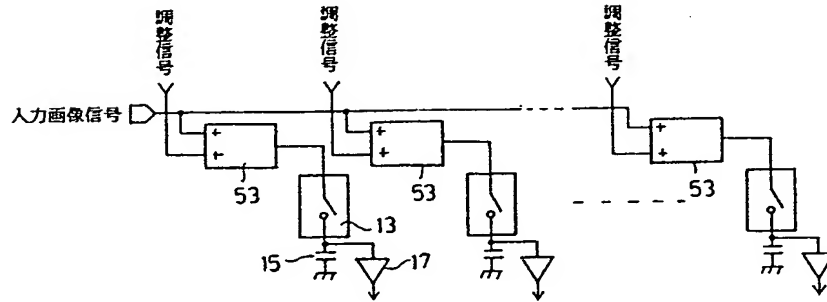
第 10 図



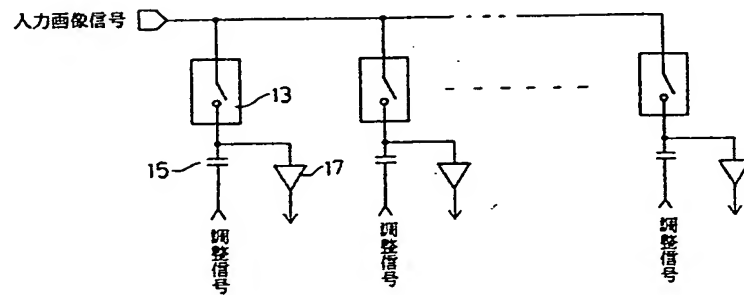
第 11 図



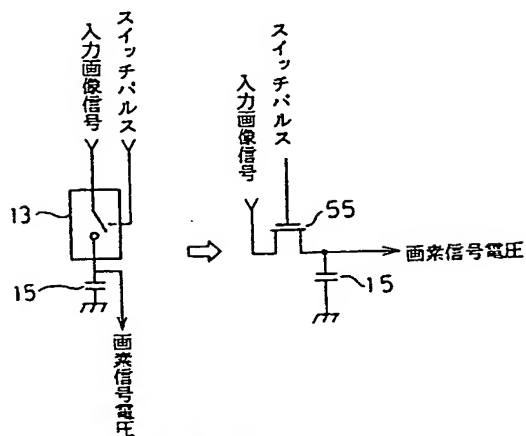
第 9 図



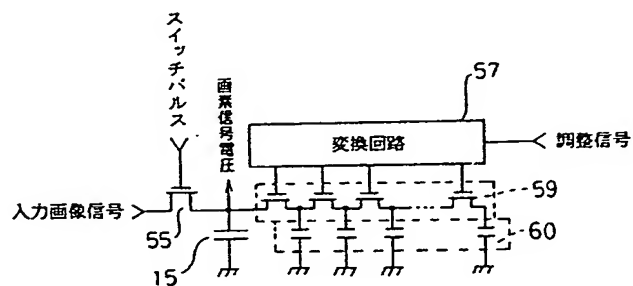
第 12 図



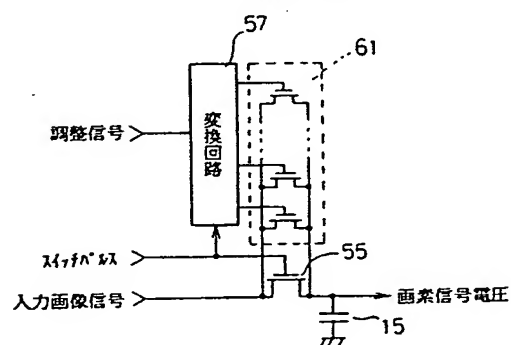
第 13 図



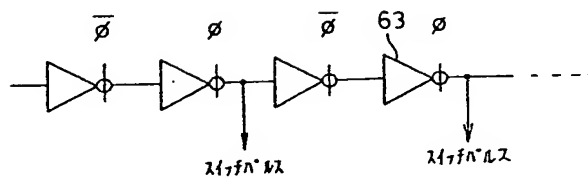
第 14 图



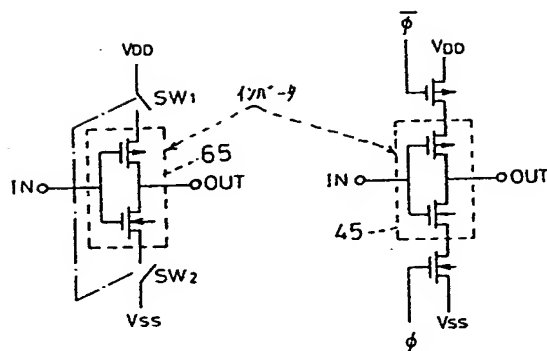
第 15 図



第 16 図

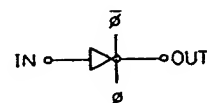


第17 図



第 18 圖 (a)

第18 図 (b)

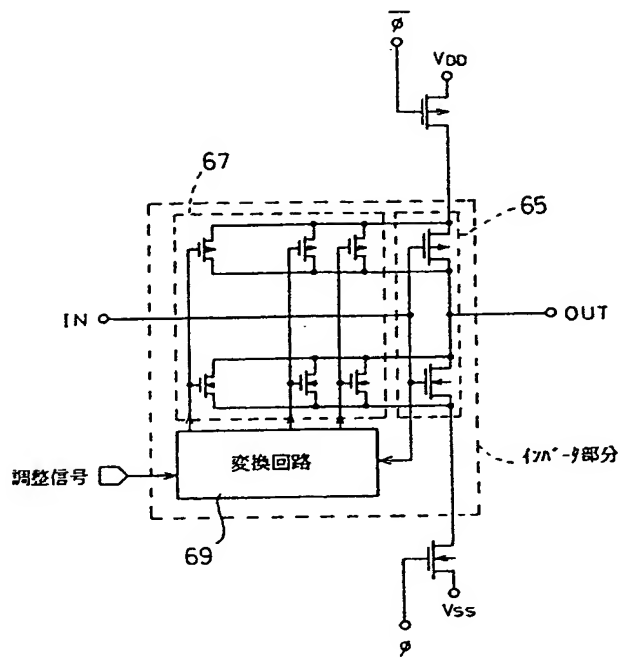


第 18 図(c)

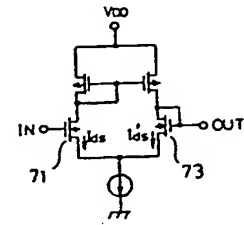
IN	$\phi$	OUT
0	0	Z
1	0	Z
0	1	1
1	1	0

$$Z = \Lambda \text{インテ} \cdot \text{ダ} \cdot \text{ツル}$$

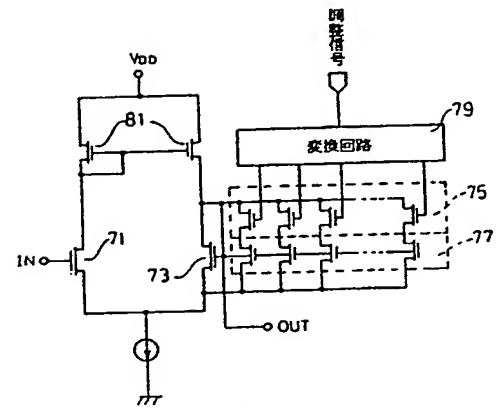
第 18 図 (d)



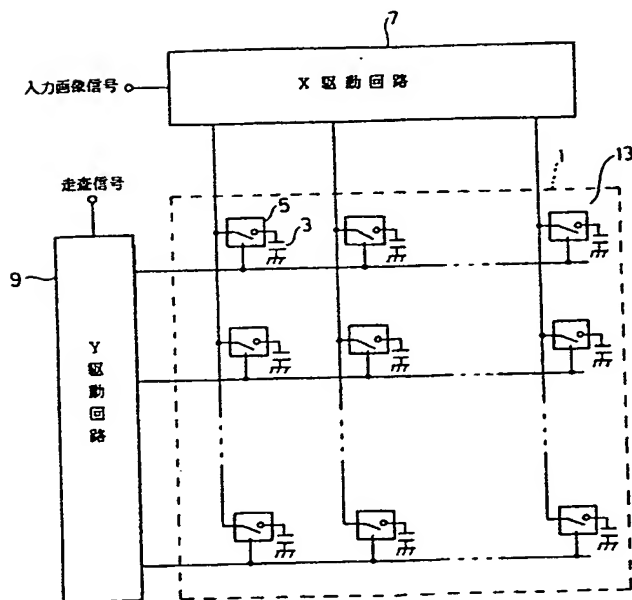
第 19 図



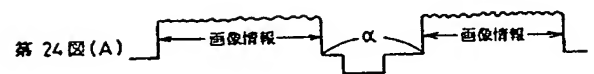
第 20 図



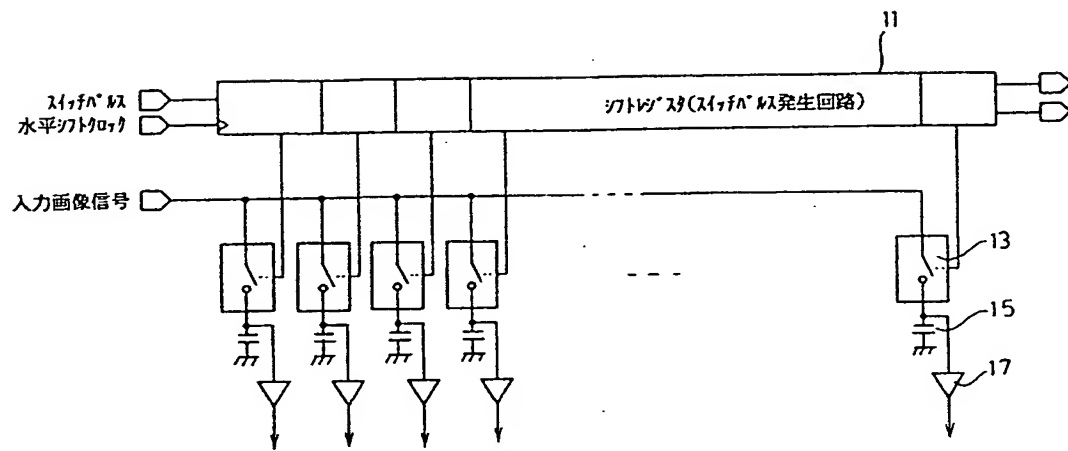
第 21 図



第 22 図







第 23 図